

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 04073951
 PUBLICATION DATE : 09-03-92

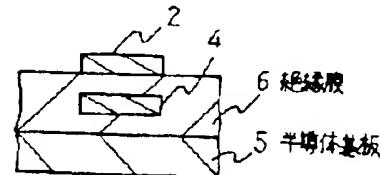
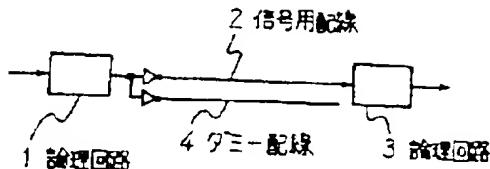
APPLICATION DATE : 16-07-90
 APPLICATION NUMBER : 02187660

APPLICANT : NEC IC MICROCOMPUT SYST LTD;

INVENTOR : ISHIKAWA YUKIHIKO;

INT.CL. : H01L 21/82 H01L 21/3205

TITLE : SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To decrease parasitic capacitance generated between an arbitrary signal wiring and a semiconductor substrate having the ground potential and to achieve the high speed in a semiconductor device by arranging a dummy wiring which is connected to the signal wiring through a buffer circuit and has the same phase in potential in parallel with the specified signal wiring.

CONSTITUTION: A dummy wiring 4 is arranged in parallel with a specified signal wiring 2. The wiring 4 is connected to the signal wiring 2 through a buffer circuit. The wiring 4 has the same potential phase as that of the wiring 2. For example, the signal wiring 2 and the dummy wiring 4 are connected to the output end of a logic circuit 1. The output of the logic circuit 1 is separated through an inverter, and the signals in the same phase are supplied to the signal wiring 2 and the dummy wiring 4 which are provided in parallel. The signal wiring 2 is connected to a logic circuit 3 in the next stage. The end of the dummy wiring 4 is opened. At this time, the dummy wiring 4 is formed between a semiconductor substrate 5 and the signal wiring 2 which is provided on an insulating film 6 that is provided on the semiconductor substrate 5. The signal in the same phase is supplied to the dummy wiring 4 through the insulating film 6. In this way, the potential difference is not generated between the signal wiring 2 and the dummy wiring 4, and the generation of parasitic capacitance is suppressed.

COPYRIGHT: (C)1992,JPO&Japio

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A) 平4-73951

⑫ Int. Cl. 5

H 01 L 21/82
21/3205

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)3月9日

7638-4M H 01 L 21/82
6810-4M 21/88

W
A

審査請求 未請求 請求項の数 1 (全2頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 平2-187660

⑯ 出 願 平2(1990)7月16日

⑰ 発明者 小林 一博 神奈川県川崎市中原区小杉町1丁目403番53 日本電気アイシーマイコンシステム株式会社内

⑱ 発明者 石川 幸彦 神奈川県川崎市中原区小杉町1丁目403番53 日本電気アイシーマイコンシステム株式会社内

⑲ 出願人 日本電気アイシーマイコンシステム株式会社 神奈川県川崎市中原区小杉町1丁目403番53

⑳ 代理人 弁理士 内原 晃

明細書

発明の名称

半導体装置

特許請求の範囲

所定の信号用配線に平行して該信号用配線にバッファ回路を介して接続した電位的に同相のダミー配線が配置されていることを特徴とする半導体装置。

発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置に関する。

〔従来の技術〕

従来の半導体装置は第3図に示すように論理回路1と論理回路3との間を信号用配線2で接続する場合、第4図に示すように半導体基板5の上に設けた絶縁層6の上にアルミニウム層等の金属配線からなる信号用配線2を接続していた。その際

信号用配線2には半導体基板5等の接地電位との間に配線容量が寄生的に発生し、論理回路間の信号伝達速度に遅延をもたらす要因となっていた。
(発明が解決しようとする課題)

上述した従来の半導体装置は、信号用配線と電位の異なる半導体基板等の間に配線容量が寄生的に生じ、この為、信号伝達速度に遅延をもたらし高速化に悪影響を及ぼすという欠点がある。
(課題を解決するための手段)

本発明の半導体装置は、所定の信号用配線に平行して、該信号用配線にバッファ回路を介して接続した電位的に同相のダミー配線を有している。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例を示すブロック図、第2図は本発明の一実施例の模式的断面図である。第1図に示すように、論理回路1の出力端に接続されて平行に設けた信号用配線2及びダミー

特開平4-73951(2)

配線4は論理回路1の出力をインバータで各々分離して得られた同相の信号が供給され、信号用配線2は次段の論理回路2に接続され、ダミー配線4の末端は開放されている。

第2図に示すように、半導体基板5と、半導体基板5の上に設けた絶縁膜6の上に設けた信号用配線2との間に互に絶縁膜6を介して同相の信号が供給されるダミー配線4を形成することにより、信号用配線2とダミー配線4との間に電位差が生じなくなり寄生容量の発生を抑制する事ができる。この為半導体基板5と信号用配線2との間の配線容量が削減され、信号伝達速度が速くなり半導体装置の高速化を図ることができる。

尚、ダミー配線4は信号用配線2の断面の周囲を絶縁膜を介して同心状に取巻くように設けても良い。

〔発明の効果〕

以上説明したように本発明は、所定の信号用配線に平行して該信号用配線にバッファ回路を介して接続した電位的に同相なダミー配線を配置する

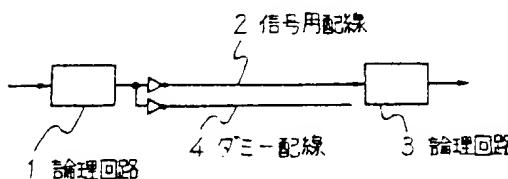
ことにより、任意の信号用配線と接地電位を有する半導体基板との間に生じる寄生容量が削減できる。この為半導体装置の高速化に大きな効果をもたらす。

図面の簡単な説明

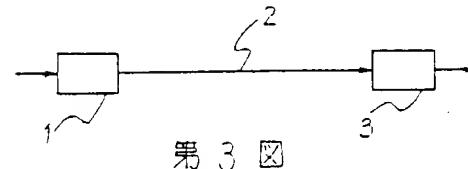
第1図は本発明の一実施例を示すブロック図、第2図は本発明の一実施例の模式的断面図、第3図は従来の半導体装置の一例を示すブロック図、第4図は従来の半導体装置の一例を示す断面図である。

1…論理回路、2…信号用配線、4…ダミー配線、5…半導体基板、6…絶縁膜。

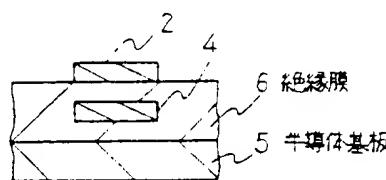
代理人弁理士内原晋



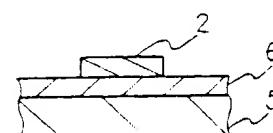
第1図



第3図



第2図



第4図